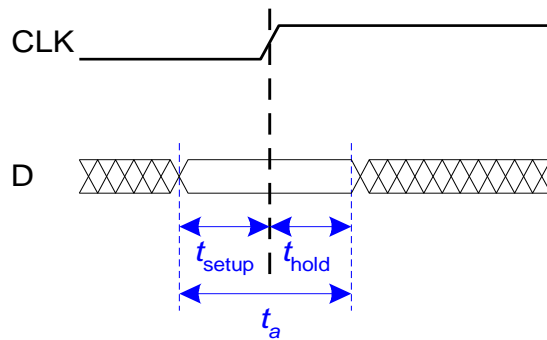
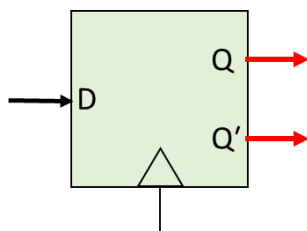


Contraintes de temps sur les circuits

Définition

Un petit rappel sur les contraintes de temps associées aux bascules et circuits combinatoires.

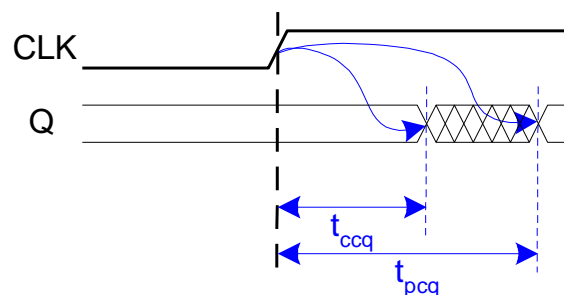


Contraintes en entrée

- Le “Setup Time” t_{setup} est le temps avant le front montant de CLK où l’entrée D doit être stable (c.-à-d. ne change pas).
- Le “Hold Time” t_{hold} est le temps après le front montant de CLK où l’entrée D ne doit pas changer.
- t_a est la fenêtre de temps où l’entrée D doit être stable ($t_a = t_{setup} + t_{hold}$).

Contraintes en sortie

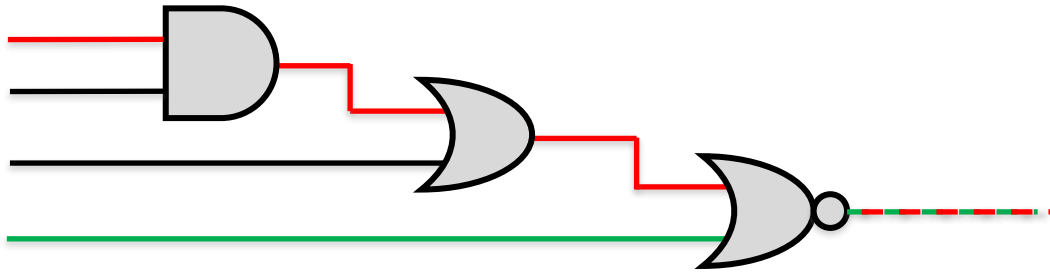
- Le “min CLK to Q delay” t_{ccq} est le temps après le front montant CLK auquel la sortie Q serait instable (c.-à-d. pourrait changer).
- Le “max CLK to Q delay” t_{pcq} est le temps après le front montant CLK où la sortie Q est garantie d’être stable.



Circuits combinatoires

Les circuits combinatoires possèdent également des contraintes de temps sur les ports logiques utilisés. Le “min delay” t_{cd} pour un circuit (en vert) est le temps minimum entre le moment où une entrée du circuit change et le moment où la sortie de ce circuit commence à changer.

Le “max delay” t_{pd} (en rouge) est le temps maximum entre le moment où une entrée du circuit change et jusqu’à ce que la sortie atteigne sa valeur finale.

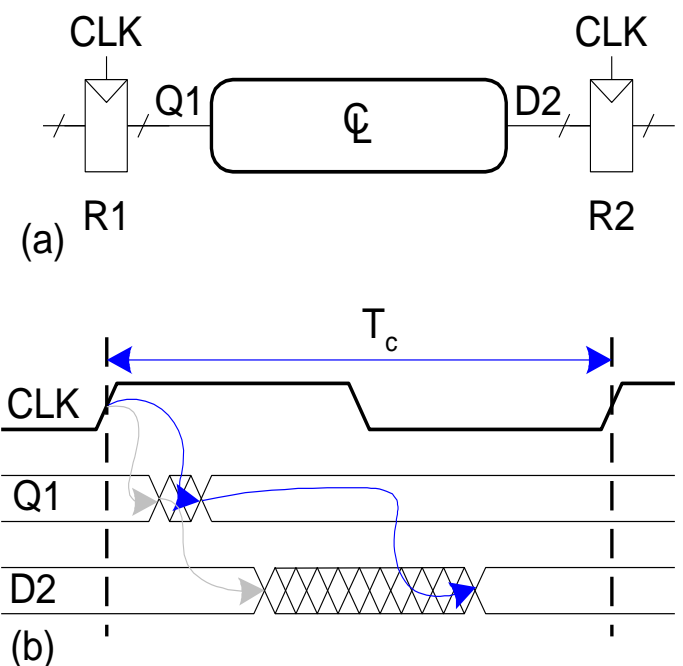


Registres et circuits combinatoires

Le schéma suivant montre un circuit constitué de deux registres et une logique combinatoire quelconque entre ces deux registres ;

Dans le schéma à droite, l'entrée d'une bascule provient de la sortie d'une autre bascule, via un circuit combinatoire. C-à-d. l'entrée D2 de la bascule R2 provient de la sortie Q1 de la bascule R1 après avoir traversé le circuit logique CL.

Ainsi, il faut que la sortie du circuit R1_CL (c.-à-d. D2) se stabilise pour une durée minimale combinée supérieure ou égale au temps de setup t_{setup} de la bascule R2 si l'on veut que cette dernière « puisse observer » la nouvelle valeur D2. Il faut aussi que cette valeur reste stable pendant une durée t_{hold} après le front montant de l'horloge pour que la bascule R2 ait le temps de faire une copie.

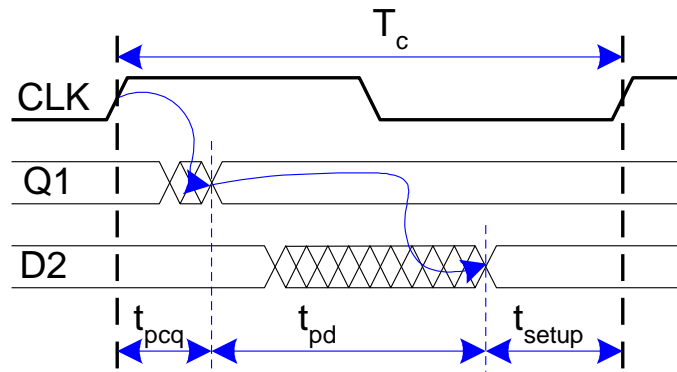


Pour respecter la contrainte sur t_{hold} , nous avons :

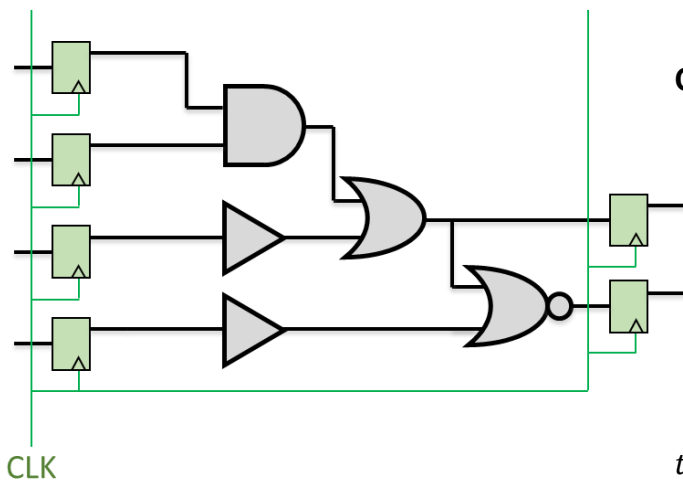
$$t_{hold} < \min_delai(bascule) + \min_delai(CL) < t_{ccq} + t_{cd}$$

Et pour respecter la contrainte sur t_{setup} , nous avons :

$$T_c \geq \max_delai(bascule) + \max_delai(CL) + t_{setup} \geq t_{pcq} + t_{pd} + t_{setup}$$



Exemple



Caractéristiques temporelles

$$t_{ccq} = 30 \text{ ps}, \quad t_{pcq} = 50 \text{ ps}$$

$$t_{setup} = 60 \text{ ps}, \quad t_{hold} = 70 \text{ ps}$$

$$t_{pd} = 35 \text{ ps}, \quad t_{cd} = 25 \text{ ps}$$

$$t_{pd} \text{ circuit} = 3 \times 35 \text{ ps} = 105 \text{ ps}$$

$$t_{cd} \text{ circuit} = 2 \times 25 \text{ ps} = 50 \text{ ps}$$

Contrainte sur t_{setup}

$$T_c \geq t_{pcq} + t_{pd}(\text{circuit}) + t_{setup}$$

$$\geq (50 + 105 + 60) \text{ ps} = 215 \text{ ps}$$

$$f_c = 1/T_c = 4.65 \text{ GHz}$$

Contrainte sur t_{hold}

$$t_{ccq} + t_{cd}(\text{circuit}) > t_{hold}$$

$$(30 + 50) \text{ ps} > 70 \text{ ps} \text{ Vérifiée !}$$