



Nom :		<h1>/ 20</h1>
Prénom :		
Groupe :		
Matricule :		

### Exercice 1 : (6 points)

Soit un système 32 bits équipé avec un cache 8-associatif de 32 Ko où la taille d'un bloc est de 512 octets.

1/ Indiquez les bits TIO de cette configuration de cache.

**Solution : 20/3/9** (3 points)

La taille de l'« offset O » est égale à :  $\ln(\text{taille du bloc}) = 9$ .

La taille de l'« indice I » est égal à :  $\ln\left(\frac{\text{taille du cache}}{\text{taille du bloc} \times \text{associativité}}\right) = 3$ .

Enfin, la taille du « tag T » est égale à :  $\text{Taille de l'adresse} - \text{taille de l'indice} - \text{taille de l'offset} = 20$ .

Supposons que ce cache constitue le niveau L1 d'un système de mémoire ayant les temps et taux d'accès suivants :

	Temps d'accès (succès)	Taux de succès local
Cache L1	5 ns	20 %
DRAM	250 ns	100 %

Nous souhaitons ajouter un cache L2 pour améliorer le temps moyen d'accès à la mémoire de ce système. Supposons que le temps d'accès pour ce cache L2 serait de 15 ns.

2/ Quel est le taux de succès local dont le cache L2 aurait besoin pour que le temps moyen d'accès à la mémoire de ce système soit de 25 ns ? Exprimez votre réponse sous forme de pourcentage

**Solution : 96%** (3 points)

$$t_1 + MR_{t1} \times (t_2 + MR_{t2} \times t_{DRAM}) = 25 \text{ ns}$$

$$5 \text{ ns} + 0.8 \times (15 \text{ ns} + MR_{t2} \times 250 \text{ ns}) = 25 \text{ ns}$$

$$0.8 \times (15 \text{ ns} + MR_{t2} \times 250 \text{ ns}) = 20 \text{ ns}$$

$$MR_{t2} \times 250 \text{ ns} = 10 \text{ ns}$$

$$MR_{t2} = 10 \text{ ns} / 250 \text{ ns}$$

$$= 4 \%$$

Comme le taux d'échec du cache L2 est de 4 %, le taux de succès doit être de :  $100 \% - 4 \% = 96 \%$ .

### Exercice 2 : (14 points)

Soit un processeur avec un chemin de données en pipeline « cinq étapes » (c.f. fiche fournie). Supposons aussi que ce processeur prédise toujours que les sauts de branchement ne sont pas effectués. Considérons le code MIPS suivant :

```

1  beq  $0 $0 Label
2  addi $0 $0 3
3  addi $0 $0 1
4  addi $0 $0 4
5  addi $0 $0 1
6  addi $0 $0 5
Label:
7  addi $t0 $0 9
8  addi $t1 $t0 2
9  xori $t1 $0 6

```

Supposons que l'étape IF de l'instruction **beq** de la ligne 1 se produise au cours du cycle 1.

1/ Si tous les aléas sont résolus par suspension du pipeline (pas d'unité de transfert ni de double pompage), indiquez chaque aléa, les instructions impliquées et le nombre de suspensions requises.

Il y a un aléa d'exécution de la ligne 1 à la ligne 7 car le branchement sera toujours pris. (2 points)  
 Ensuite, de la ligne 7 à la ligne 8, nous avons un aléa de données (l'écriture dans \$t0 dans la ligne 7 et l'accès à nouveau en lecture à la ligne suivante).

2/ Pendant quel cycle l'instruction xori de la ligne 9 exécute-elle son étape WB ? (Justifiez votre réponse en remplissant le diagramme d'exécution ci-dessous – indiquez par « nop » les étapes suspendues). (6 points)

Instruction	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1 beq \$0 \$0 Label	IF	ID	EX	•	•													
2 addi \$0 \$0 3		IF	nop	nop	nop	nop												
3 addi \$0 \$0 1			IF	nop	nop	nop	nop											
4 addi \$0 \$0 4				IF	nop	nop	nop	nop										
7 addi \$t0 \$0 9					IF	ID	EX	•	WB									
8 addi \$t1 \$t0 2						IF	nop	nop	nop	nop								
8 addi \$t1 \$t0 2							IF	nop	nop	nop	nop							
8 addi \$t1 \$t0 2								IF	nop	nop	nop	nop						
8 addi \$t1 \$t0 2									IF	ID	EX	•	WB					
9 xori \$t1 \$0 6										IF	ID	EX	•	WB				

3/ Si nous ajoutons une unité de transfert et le double pompage à notre processeur, indiquez chaque aléa, les instructions impliquées et le nombre de suspensions requises.

Il y a toujours un aléa d'exécution de la ligne 1 à la ligne 7 car le branchement sera toujours pris. L'aléa lié aux données de la ligne 7 à la ligne 8 (pour le registre \$t0) est résolu par l'unité de transfert. (2 points)

4/ Pendant quel cycle l'instruction xori de la ligne 9 exécute-elle son étape WB cette fois-ci ? (Justifiez votre réponse en remplissant le diagramme d'exécution ci-dessous – indiquez par « nop » les étapes suspendues). (4 points)

Instruction	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18
1 beq \$0 \$0 Label	IF	ID	EX	•	•													
2 addi \$0 \$0 3		IF	nop	nop	nop	nop												
3 addi \$0 \$0 1			IF	nop	nop	nop	nop											
4 addi \$0 \$0 4				IF	nop	nop	nop	nop										
7 addi \$t0 \$0 9					IF	ID	EX	•	WB									
8 addi \$t1 \$t0 2						IF	ID	EX	•	WB								
9 xori \$t1 \$0 6							IF	ID	EX	•	WB							

(4 points)